

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06028245 A**

(43) Date of publication of application: **04 . 02 . 94**

(51) Int. Cl

G06F 12/06
G06F 15/78

(21) Application number: **04180983**

(22) Date of filing: **08 . 07 . 92**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **TAKEUCHI MINORU**
MORIMI YOICHI

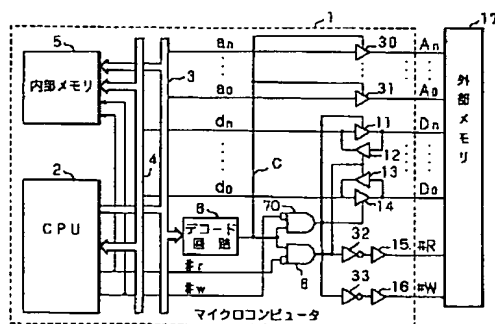
(54) **MICROCOMPUTER**

(57) Abstract:

PURPOSE: To provide the microcomputer which suppresses increase in power consumption at the time of memory expansion and also reduces unnecessary radiation.

CONSTITUTION: The microcomputer is equipped with a decoding circuit 6 which detects whether or not internal address signals a_n - a_0 generated by a CPU specify an external address space (17), and output buffers 11, 14, etc., and 15, 16, 30, 31, etc., which output internal address signals a_n - a_0 , a read signal $\#r$, and a write signal $\#w$ to the outside of the microcomputer 1 as external address signals A_n - A_0 , an external read signal $\#R$, and an external write signal $\#W$ only when access to the external address space (17) is detected.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-28245

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

G 0 6 F 12/06
15/78

識別記号

5 1 5
5 1 0 B

庁内整理番号

9366-5B
7323-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号

特願平4-180983

(22)出願日

平成4年(1992)7月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 竹内 稔

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(72)発明者 森見 洋一

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

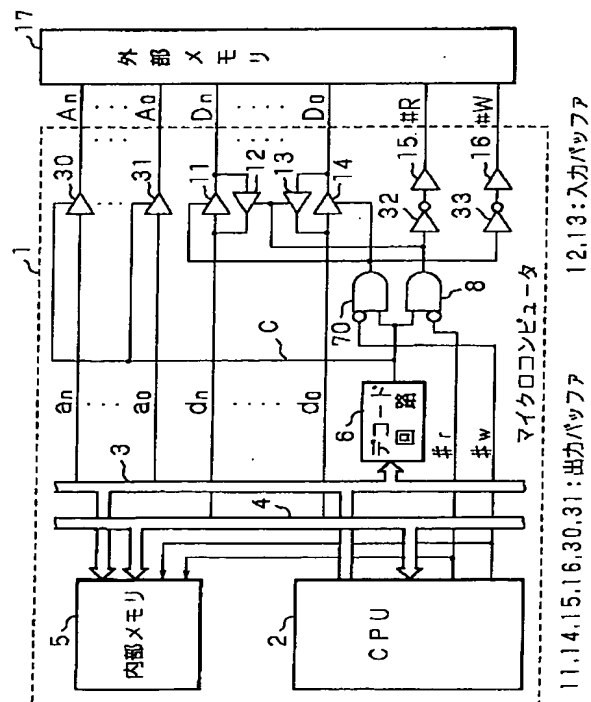
(74)代理人 弁理士 高田 守

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】 メモリ拡張した場合の消費電力増加を抑制し、また不要輻射を低減出来るマイクロコンピュータの提供を目的とする。

【構成】 CPUが発生する内部アドレス信号 $a_0 \sim a_n$ が外部のアドレス空間(17)を指定しているか否かを検出するデコード回路6と、このデコード回路6により外部のアドレス空間(17)に対するアクセスが検出された場合にのみ内部アドレス信号 $a_0 \sim a_n$ 、リード信号 $\#r$ 、ライト信号 $\#w$ をそれぞれ外部アドレス信号 $A_0 \sim A_n$ 、外部リード信号 $\#R$ 、外部ライト信号 $\#W$ としてマイクロコンピュータ1外部へ出力する出力バッファ11, 14等, 15, 16, 30, 31等を備えている。



【特許請求の範囲】

【請求項1】 外部のアドレス空間をアクセスするためにアドレス信号、リード信号、ライト信号を外部へ出力する機能を有するマイクロコンピュータにおいて、発生されたアドレス信号が前記外部のアドレス空間を指定するアドレス信号である場合に所定の信号を出力する検出手段と、
該検出手段が出力した前記所定の信号が与えられた場合にのみ、前記アドレス信号、リード信号、ライト信号をマイクロコンピュータ外部へ出力する手段とを備えたことを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマイクロコンピュータに関し、特に所謂シングルチップマイクロコンピュータにおいてそのチップ外部にメモリ空間を拡張する際の接続の改善に関する。

【0002】

【従来の技術】 単一の半導体基板上に中央処理装置（以下、CPUという）、ROM、RAM、入出力ポートなどの機能を集積したシングルチップマイクロコンピュータは既に一般に広く普及している。これらの中には、内蔵しているメモリのみではメモリ容量が不足する場合に入出力ポート等を通じて内部バスを外部に拡張する機能を有するものもある。

【0003】 そのようなシングルチップマイクロコンピュータの一例として、三菱電機株式会社製のM50747-XXX SP/FP がある。このマイクロコンピュータのメモリ空間拡張の方法については同社発行の「M50747-XXXSP/FP ユーザーズマニュアル」に詳細に説明されている。

【0004】 図7は上述の従来のマイクロコンピュータにおける外部メモリ拡張時の構成を示すブロック図である。

【0005】 図7において、参照符号1はマイクロコンピュータを、17は外部メモリをそれぞれ示している。マイクロコンピュータ1内には、CPU2、内部メモリ5が備えられており、両者間はアドレスバス3及びデータバス4にて接続されている。

【0006】 CPU2からは内部アドレス信号 $a_0 \sim a_9$ がアドレスバス3へ出力される他、メモリからデータを読み出すためのリード信号 $\#r$ （ $\#$ はローアクティブを示す）及びメモリにデータを書き込むためのライト信号 $\#w$ が出力される。リード信号 $\#r$ は内部メモリ5に与えられる他、2入力のAND回路8の負論理の入力端子及び出力バッファ15にも与えられている。また、ライト信号 $\#w$ は内部メモリ5に与えられる他、インバータ7及び出力バッファ16にも与えられている。

【0007】 CPU2からアドレスバス3へ出力される内部アドレス信号 $a_0 \sim a_9$ は内部メモリ5に与えられる他、デコード回路6にも与えられ、更に各ビットが出力

バッファ9、10等を介してマイクロコンピュータ1外部へ出力される。なお、図7には内部アドレス信号 $a_0 \sim a_9$ の外部出力用の出力バッファは内部アドレス信号 a_0 用の参照符号9と内部アドレス信号 a_9 用の参照符号10のみを示してある。

【0008】 なお、これらの内部アドレス信号 $a_0 \sim a_9$ が出力バッファ9、10等を介してマイクロコンピュータ1外部へ出力された場合には外部アドレス信号 $A_0 \sim A_9$ として外部メモリ17に与えられる。また、デコード回路6の出力信号Cは前述の2入力のAND回路8の他方の入力に与えられている。

【0009】 データバス4はCPU2と内部メモリ5とを接続していて相互間でデータを送受する他、各データ信号 $d_0 \sim d_9$ が出力バッファ11、14等を介してマイクロコンピュータ1外部へ外部データ信号 $D_0 \sim D_9$ として出力され、また外部データ信号 $D_0 \sim D_9$ が入力バッファ12、13等を介してデータ信号 $d_0 \sim d_9$ としてデータバス4に入力されるようになっている。但し、図7ではデータ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ11と、データ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ14と、外部データ信号 D_0 をデータ信号 d_0 として入力する入力バッファ12と、外部データ信号 D_9 をデータ信号 d_9 として入力する入力バッファ13とのみが示されている。

【0010】 各出力バッファ11、14等はインバータ7の出力信号により制御され、また各入力バッファ12、13等は2入力のAND回路8の出力信号により制御される。

【0011】 図9は上述のデコード回路6の具体的構成を示すブロック図である。図9において、参照符号18は4入力AND回路を示しており、CPU2から出力される内部アドレス信号 $a_0 \sim a_9$ （本実施例では $a_{15} \sim a_0$ の16ビット）の内の上位4ビット $a_{15} \sim a_{12}$ を入力とする。参照符号19は8入力NOR回路を示しており、同じく上位8ビット $a_{15} \sim a_8$ を入力とする。また、参照符号20は2入力NOR回路を示しており、4入力AND回路18の出力と8入力NOR回路19の出力とを入力とし、この出力信号が信号Cである。

【0012】 図10は図7に示されている従来のマイクロコンピュータ1がアクセス可能な全アドレス空間のメモリ配置を示す模式図である。ここでは、内部RAMはアドレス $0000_{16} \sim 00FF_{16}$ （ $_{16}$ は16進数を表す）の領域に、内部ROMはアドレス $F000_{16} \sim FFFF_{16}$ の領域にそれぞれ割り当てられている。この内部RAM領域と内部ROM領域とを併せた領域が図7に示されている内部メモリ5の領域に相当している。なお、アドレス $0100_{16} \sim EFFF_{16}$ は外部メモリ17の領域に割り当てられている。

【0013】 次に、上述のような従来のマイクロコンピュータの動作について、特に外部アドレス信号 $A_0 \sim A_9$ 、外部リード信号 $\#r$ 、外部ライト信号 $\#w$ 及び外部データ信号 $D_0 \sim D_9$ の状態を示す図8のタイミングチャー

トを参照して説明する。

【0014】CPU2は特定のメモリをアクセスするために内部アドレス信号 $a_0 \sim a_9$ をアドレスバス3へ出力する。この内部アドレス信号 $a_0 \sim a_9$ はアドレスバス3を介して内部メモリ5に与えられると共に、出力バッファ9及び10等を介してマイクロコンピュータ1外部へ外部アドレス $A_0 \sim A_9$ として、図8(a)に示されているように、出力されて外部メモリ17に与えられ、またデコード回路6に与えられてデコードされることによりCPU2が指定したアドレスのメモリが選択される。

【0015】まず、内部メモリ5が選択された場合について説明する。たとえば、内部メモリ5の図10に示されている内部RAMのアドレス0000₁₆を読み出す場合には対応する内部アドレス信号 $a_0 \sim a_9$ がCPU2からアドレスバス3へ出力され、デコード回路6及び内部メモリ5に与えられる

【0016】デコード回路6はこの内部アドレス信号 $a_0 \sim a_9$ をデコードするが、この場合にはその出力信号Cは"0"になる。この信号Cが2入力AND回路8に入力される。信号Cが"0"であるので、2入力AND回路8の出力は"0"になる。従って、この2入力AND回路8の出力により制御される入力バッファ12及び13は非動作状態になり、外部メモリ17からマイクロコンピュータ1へのデータ入力は禁じられる。

【0017】続いてCPU2からリード信号 $\#r$ が出力されるとこれが内部メモリ5に与えられるので、内部メモリ5の内部RAMの番地0000₁₆のデータがデータバス4へ出力され、CPU2はデータバス4の内容を読み込む。この際同時に、リード信号 $\#r$ は出力バッファ15を介して外部リード信号 $\#R$ として、図8(b)に示されているように、外部メモリ17へ出力される。しかしこの場合、外部メモリ17に与えられている外部アドレス信号 $A_0 \sim A_9$ に対応するアドレスが外部メモリ17にはないので、図8(d)に示されているように、外部メモリ17から外部データ信号 $D_0 \sim D_9$ が出力されることはない。

【0018】CPU2が内部メモリ5にデータを書込む場合は、当該データをデータバス4へ出力し、ライト信号 $\#w$ を出力することにより、内部RAMの番地0000₁₆にデータが書き込まれる。同時に、ライト信号 $\#w$ は出力バッファ16を介して外部ライト信号 $\#W$ として、図8(c)に示されているように、外部メモリ17へ出力される。また、データバス4へCPU2から出力されているデータの値は出力バッファ11, 14等を通じて外部データ信号 $D_0 \sim D_9$ として、図8(d)に示されているように、マイクロコンピュータ1外部へ出力される。しかし、外部メモリ17には対応するアドレスがないので、外部メモリ17にこれらの外部データ信号 $D_0 \sim D_9$ データが書き込まれることはない。

【0019】次に、外部メモリ17が選択された場合について説明する。たとえば図10に示されている外部メモ

リのアドレス0100₁₆が指定された場合、対応する内部アドレス信号 $a_0 \sim a_9$ がCPU2からアドレスバス3へ出力される。この場合、デコード回路6の出力信号Cは"1"になる。

【0020】そして、CPU2がデータを書込む場合、CPU2からデータをデータバス4へ出力すると共にライト信号 $\#w$ に"0"を出力すると、2入力のAND回路8の出力信号は"1"になるので、出力バッファ11及び14が動作状態になる。またライト信号 $\#w$ は出力バッファ16を介して外部ライト信号 $\#W$ として、図8(c)に示されているように、外部メモリ17へ出力される。これと同時に、前述のように出力バッファ11及び14が動作状態になるので、データバス4の内容が出力バッファ11及び14を介して、図8(d)に示されているように、外部データ信号 $D_0 \sim D_9$ として外部メモリ17へ出力される。これにより、外部メモリ17のアドレス0100₁₆にデータが書き込まれる。

【0021】CPU2がデータを読み込む場合は、CPU2からリード信号 $\#r$ に"0"を出力すると、これが出力バッファ15を介して外部リード信号 $\#R$ として、図8(b)に示されているように、外部メモリ17へ出力される。これと同時に、ライト信号 $\#w$ が2入力AND回路8に入力されるのでその出力は"1"になる。これにより、入力バッファ12及び13が動作状態になるので、外部メモリ17のアドレス0100₁₆のデータが図8(d)に示されているように、外部データ信号 $D_0 \sim D_9$ として外部メモリ17から出力される。この外部データ信号 $d_0 \sim d_9$ 、 $D_0 \sim D_9$ は入力バッファ12及び13を介してデータバス4へ入力されるので、CPU2はデータバス4を介してこのデータを読み込む。

【0022】

【発明が解決しようとする課題】従来のマイクロコンピュータは以上のように構成されているので、マイクロコンピュータ内部のアドレス信号、リード信号、ライト信号がそのまま外部へ出力されており、マイクロコンピュータの内部メモリアクセス時にもアドレス信号、リード信号、ライト信号がマイクロコンピュータ外部へ出力されるため、出力時の充放電により消費電力が増加し、また外部メモリでは使用しないタイミングの信号が出力されるため、不要輻射が多くなるなどの問題がある。

【0023】本発明はこのような事情に鑑みてなされたものであり、メモリ拡張した場合の消費電力増加を抑制し、また不要輻射を低減出来るマイクロコンピュータの提供を目的とする。

【0024】

【課題を解決するための手段】本発明に係るマイクロコンピュータは、CPUが発生するアドレス信号が外部のアドレス空間であるか否かを検出する手段と、この手段により外部のアドレス空間に対するアクセスが検出された場合にのみアドレス信号、リード信号、ライト信号をそれぞれ外部アドレス信号、外部リード信号、外部ライト

信号としてマイクロコンピュータ外部へ出力する手段を備えている。

【0025】

【作用】本発明のマイクロコンピュータでは、アドレス信号が外部に拡張されたアドレス空間をアクセスする場合にのみ、アドレス信号、リード信号、ライト信号が外部へ出力され、それ以外の場合には外部へは出力されない。

【0026】

【実施例】以下、本発明をその実施例を示す図面に基¹⁰いて詳述する。

【0027】図1は本発明に係るマイクロコンピュータの一実施例の構成を示すブロック図である。なお、この図1においては、前述の従来例の説明で参照した図7と同一の参照符号は同一又は相当部分を示している。

【0028】図1において、参照符号1はマイクロコンピュータを、17は外部メモリをそれぞれ示している。マイクロコンピュータ1内には、CPU2、内部メモリ5が備えられており、両者間はアドレスバス3及びデータバス4にて接続されている。

【0029】CPU2からは内部アドレス信号 $a_0 \sim a_9$ がアドレスバス3へ出力される他、メモリからデータを読み出すためのリード信号 $\#r$ ($\#$ はローアクティブを示す)及びメモリにデータを書き込むためのライト信号 $\#w$ が出力される。リード信号 $\#r$ は内部メモリ5に与えられる他、2入力のAND回路8の負論理の入力端子にも与えられている。また、ライト信号 $\#w$ は内部メモリ5に与えられる他、2入力のAND回路70の負論理の入力端子にも与えられている。

【0030】CPU2からアドレスバス3へ出力される内部³⁰アドレス信号 $a_0 \sim a_9$ は内部メモリ5に与えられる他、デコード回路6にも与えられ、更に各ビットが出力バッファ30、31等を介してマイクロコンピュータ1外部へ出力される。なお、図1には内部アドレス信号 $a_0 \sim a_9$ の外部出力用の出力バッファは内部アドレス信号 a_0 用の参照符号30と内部アドレス信号 a_9 用の参照符号31のみを示してある。

【0031】なお、これらの内部アドレス信号 $a_0 \sim a_9$ が出力バッファ30、31等を介してマイクロコンピュータ1外部へ出力された場合には外部アドレス信号 $A_0 \sim A_9$ として外部メモリ17に与えられる。また、デコード回路6の出力信号Cは前述の2入力のAND回路8及び70の他方の入力に与えられると共に、上述の出力バッファ30、31等にも与えられてこれらを制御する。

【0032】データバス4はCPU2と内部メモリ5とを接続⁴⁰して相互間でデータを送受する他、各データ信号 $d_0 \sim d_7$ が出力バッファ11、14等を介してマイクロコンピュータ1外部へ外部データ信号 $D_0 \sim D_7$ として出力され、また外部データ信号 $D_0 \sim D_7$ が入力バッファ12、13等を介してデータ信号 $d_0 \sim d_7$ としてデータバ

ス4に入力されるようになっている。但し、図7ではデータ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ11と、データ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ14と、外部データ信号 D_0 をデータ信号 d_0 として入力する入力バッファ12と、外部データ信号 D_0 をデータ信号 d_0 として入力する入力バッファ13とのみが示されている。

【0033】各出力バッファ11、14等は2入力のAND回路70の出力信号により制御される。また各入力バッファ12、13等は2入力のAND回路8の出力信号により制御される。

【0034】また、2入力のAND回路8の出力信号はインバータ32の入力にも与えられており、このインバータ32の出力が出力バッファ15を介して外部リード信号 $\#R$ として外部メモリ17に与えられ、更に2入力のAND回路70の出力信号はインバータ33の入力にも与えられており、このインバータ33の出力が出力バッファ16を介して外部ライト信号 $\#W$ として外部メモリ17に与えられている。

【0035】なお、本発明のマイクロコンピュータ1の²⁰デコード回路6の構成は前述の従来のマイクロコンピュータと同様であり、図9に示されているように構成されている。また、本発明のマイクロコンピュータ1がアクセス可能な全アドレス空間のメモリ配置は、図10の模式図に示されている前述の従来のマイクロコンピュータと同様であるので、説明は省略する。

【0036】次に、上述のような構成の本発明のマイクロコンピュータの動作について、特に外部アドレス信号 $A_0 \sim A_9$ 、外部リード信号 $\#R$ 、外部ライト信号 $\#W$ 及び外部データ信号 $D_0 \sim D_7$ の状態を示す図2のタイミング³⁰チャートを参照して説明する。

【0037】CPU2は特定のメモリをアクセスするために内部アドレス信号 $a_0 \sim a_9$ をアドレスバス3へ出力する。この内部アドレス信号 $a_0 \sim a_9$ はアドレスバス3を介して内部メモリ5に与えられていると共に、出力バッファ30、31等及びデコード回路6へ出力される。

【0038】まず、内部メモリ5が選択された場合について説明する。たとえば、内部メモリ5の中の図10に示されている内部RAMの番地0000_hを指定する内部アドレス信号 $a_0 \sim a_9$ がCPU2から出力されると、図9に示⁴⁰されているデコード回路6の8入力NOR回路19の出力が"1"に、2入力NOR回路20の出力は"0"にそれぞれなるので、デコード回路6の出力信号Cは"0"になる。

【0039】このデコード回路6の出力信号Cは出力バッファ30、31等と2入力AND回路8、70に入力される。信号Cにより制御される出力バッファ30、31等は信号Cが"0"であるため非動作状態になり、出力バッファ30、31等の出力はハイインピーダンス状態になる。また同時に、2入力AND回路8、70の出力は他方の入力である内部リード信号 $\#r$ 及び内部ライト信号 $\#w$ には拘わら⁵⁰

ず”0”になり、2入力AND回路8、70の出力により制御される入力バッファ12、13等及び出力バッファ11、14等も全て非動作状態になるので、データバス4と外部メモリ17とは分離される。

【0040】更に、2入力AND回路70の出力はインバータ回路33にも入力されていて、インバータ回路33の出力は”1”になるので、出力バッファ16から出力される外部ライト信号#Wは”1”になって外部メモリ17に与えられる。一方、2入力AND回路8の出力はインバータ回路32にも入力されていて、インバータ回路32の出力は”1”になるので、出力バッファ15から出力される外部ライト信号#Wは”1”になって外部メモリ17に与えられる。

【0041】CPU2が内部メモリ5にデータを書込む場合は、データをデータバス4へ出力すると共に、ライト信号#Wを”0”にすることにより、内部RAMのアドレス00₁₆にデータが書き込まれる。CPU2がデータを読み込む場合は、リード信号#Rを”0”にすると、内部RAMのアドレス0000₁₆のデータがデータバス4へ出力されるので、CPU2はデータバス4の内容を読み取る。

【0042】次に、外部メモリ17が選択された場合について説明する。たとえば、図10に示されている外部メモリのアドレス0100₁₆が指定されたとすると、図9に示されているデコード回路6の4入力AND回路18の出力は”0”に、8入力NOR回路19の出力も”0”にそれぞれなるので、2入力NOR回路20の出力は”1”に、即ちデコード回路6の出力信号Cは”1”になる。このデコード回路6の出力信号Cは出力バッファ30、31等と2入力AND回路8、70に与えられているので、信号Cにより制御される出力バッファ30、31等は動作状態になる。これにより、CPU2からアドレスバス3へ出力されている内部アドレス信号a₀～a₉は出力バッファ30、31等を介して外部アドレスA₀～A₉としてマイクロコンピュータ1外へ出力され、外部メモリ17に与えられる。

【0043】また、2入力AND回路8、70はいずれも他方の入力である内部リード信号#Rと内部ライト信号#Wの反転信号を出力する状態になる。

【0044】CPU2がデータを外部メモリ17に書込む場合、CPU2からデータをデータバス4へ出力すると共に、ライト信号#Wに”0”を出力すると、2入力AND回路70の出力は”1”になるので出力バッファ11、14等が動作状態になる。これにより、データバス4の内容が出力バッファ11、14等を介して外部データ信号D₀～D₇として外部メモリ17へ出力され、同時に2入力AND回路70の出力はインバータ回路33と出力バッファ16とを介して外部ライト信号#Wとして”0”を出力するので、外部メモリ17のアドレス0100₁₆にデータが書き込まれる。

【0045】CPU2が外部メモリ17からデータを読み込む場合、CPU2からリード信号#Rに”0”を出力すると、2入力AND回路8の出力が”1”になるので入力バッファ

12、13等が動作状態になる。同時に2入力AND回路8の出力はインバータ回路32と出力バッファ15とを介して外部リード信号#Rとして”0”を出力するので、外部メモリ17のアドレス0100₁₆のデータが外部データ信号D₀～D₇として外部メモリ17から出力され、入力バッファ12、13等を介してデータバス4へ入力される。CPU2はこのデータバス4の内容を読み込む。

【0046】但し、図1において、アドレスバス3へ出力される内部アドレス信号a₀～a₉をデコード回路6でデコードして得られた信号Cに基づいて内部アドレス信号a₀～a₉を外部アドレス信号A₀～A₉として出力するか否かを制御するための出力バッファ30、31等の伝播遅延時間はデコード回路6の遅延時間より大きくすることが望ましい。

【0047】図2はこの際の外部アドレス信号A₀～A₉、外部リード信号#R、外部ライト信号#W、外部データバスD₀～D₇の状態を示すタイミングチャートである。図2において、内部メモリアクセス時には、CPU2は従来例の図8に示されているのと同じ動作を行っているが、外部に対しては信号を出力していないことが判る。

【0048】図3は内部アドレス信号a₀～a₉を外部アドレスA₀～A₉として出力回路の他の構成例を示す回路図である。なお、ここでも上述の図1に示されている実施例と同様に、内部アドレス信号a₀及びa₉用の回路のみを示してある。図3において、参照符号33、34等はデコード回路6の出力信号Cと内部アドレス信号a₀～a₉の各ビットとを入力とする2入力AND回路を、9、10等は図7に示されている従来のマイクロコンピュータに使用されていると同様の出力バッファであり、2入力AND回路33、34等の出力をそれぞれ入力とする。

【0049】この図3に示されている回路では、デコード回路6の出力信号Cが”0”である場合、即ち内部メモリ5のアクセス時には、2入力AND回路33、34等の出力は”0”になり、出力バッファ9、10等の出力及び外部アドレスA₀～A₉は全て”0”になる。デコード回路6の出力信号Cが”1”である場合、即ち外部メモリ17のアクセス時には、内部アドレスa₀～a₉がそのまま2入力AND回路33、34等と出力バッファ9、10等とを介して外部アドレスA₀～A₉として出力される。

【0050】図4は内部アドレス信号a₀～a₉を外部アドレスA₀～A₉として出力回路の更に他の構成例を示す回路図である。なお、ここでも上述の図1及び図3に示されている実施例と同様に、内部アドレス信号a₀及びa₉用の回路のみを示してある。

【0051】図4において、参照符号35はデコード回路6の出力信号Cを入力とするインバータ回路を、36、37等はインバータ回路35の出力と内部アドレスa₀～a₉の各ビットとを入力とする2入力OR回路を、9、10等は図7に示されている従来のマイクロコンピュータに使用

されているのと同様の出力バッファであり、2入力OR回路36、37等の出力をそれぞれ入力とする。

【0052】この図4に示されている回路では、デコード回路6の出力信号Cが”0”である場合、即ち内部メモリ5のアクセス時には、インバータ回路35の出力は”1”になる。このため、インバータ回路35の出力を入力としている2入力NOR回路36、37等の出力は他方の入力である内部アドレス $a_0 \sim a_4$ の各ビットの値には拘わらず全て”1”になるので、出力バッファ9、10等の出力である外部アドレス $A_0 \sim A_4$ は全て”1”になる。

【0053】デコード回路6の出力信号Cが”1”である場合、即ち外部メモリ17のアクセス時には、インバータ回路35の出力は”0”になってNOR回路36、37等に入力される。従って、NOR回路36、37等からは内部アドレス $a_0 \sim a_4$ がそのまま出力されて出力バッファ9、10等を介して外部アドレス $A_0 \sim A_4$ として出力される。

【0054】図5は内部アドレス信号 $a_0 \sim a_4$ を外部アドレス $A_0 \sim A_4$ として出力回路の更に他の構成例を示す回路図である。なお、ここでも上述の図1、図3及び図4に示されている実施例と同様に、内部アドレス信号 a_0 及び a_4 用の回路のみを示してある。

【0055】図5において、参照符号38、42等は内部アドレス $a_0 \sim a_4$ の各ビットを入力とするインバータ回路を、39はデコード回路6の出力信号Cと内部アドレス a_0 を入力とする2入力AND回路を、40はデコード回路6の出力信号Cとインバータ回路38の出力を入力とする2入力AND回路を、41は2入力AND回路39の出力でセットされ、2入力AND回路40の出力でリセットされるRSフリップフロップをそれぞれ示している。また、43はデコード回路6の出力信号Cと内部アドレス a_4 を入力とする2入力AND回路を、44はデコード回路6の出力信号Cとインバータ回路42の出力を入力とする2入力AND回路を、45は2入力AND回路43の出力でセットされ、2入力AND回路44の出力でリセットされるRSフリップフロップをそれぞれ示している。9、10等は図7に示されている従来のマイクロコンピュータに使用されているのと同様の出力バッファであり、RSフリップフロップ41、45等の出力端子Qからの出力をそれぞれ入力とする。

【0056】このような図5に示されている回路では、デコード回路6の出力信号Cが”0”である場合、即ち内部メモリ5のアクセス時には、出力信号Cを入力としているAND回路39、40、43、44の各出力は他方の入力には拘わらず”0”になる。またRSフリップフロップ41、45等のセット入力及びリセット入力は全て”0”になっているため、RSフリップフロップ41、45等はそれ以前の状態を保持し、この保持されている値が出力バッファ9、10等を介してそのまま外部アドレス $A_0 \sim A_4$ として出力される。

【0057】デコード回路6の出力信号Cが”1”である場合、即ち外部メモリ17のアクセス時には、2入力A

ND回路39、40、43、44の出力は他方の入力により決定される。2入力AND回路39の出力は a_0 に、2入力AND回路40の出力は $\#a_0$ となり、RSフリップフロップ41のQ出力は a_0 が出力される。

【0058】2入力AND回路43の出力は a_4 に、2入力AND回路44の出力は $\#a_4$ になり、RSフリップフロップ45のQ出力は a_4 が出力され、出力バッファ9、10等を介して外部アドレス $A_0 \sim A_4$ として出力される。

【0059】図6は内部アドレス信号 $a_0 \sim a_4$ を外部アドレス $A_0 \sim A_4$ として出力回路の他の構成例を示す回路図である。なお、ここでも上述の図1、図3、図4及び図5に示されている実施例と同様に、内部アドレス信号 a_0 及び a_4 用の回路のみを示してある。

【0060】図6において、参照符号47、48、50、51等はデコード回路6の出力信号Cで制御される出力バッファを、46、49等は出力データ記憶回路(D-フリップフロップ)をそれぞれ示している。出力データ記憶回路は、出力バッファ書き込み信号52に従ってCPU2から出力される書き込みデータをラッチする。

【0061】デコード回路6の出力信号Cが”0”である場合、即ち内部メモリ5のアクセス時には、出力信号Cで制御される出力バッファ47、50等は非動作状態になり、出力バッファ48、51等は動作状態になるので、出力データ記憶回路46、49等の内容が外部アドレス $A_0 \sim A_4$ に出力される。このため、内部メモリ5をアクセスしている場合は、外部アドレスを出力している端子を他の機能を有する端子として有効に利用することが可能になる。

【0062】デコード回路6の出力信号Cが”1”である場合、即ち外部メモリ17のアクセス時には、出力信号Cで制御される出力バッファ47、50等は動作状態になり、出力バッファ48、51等は非動作状態になる。出力バッファ47、50等が動作状態になっているため、外部アドレス $A_0 \sim A_4$ には内部アドレス $a_0 \sim a_4$ がそのまま出力される。

【0063】

【発明の効果】以上に詳述したように本発明のマイクロコンピュータによれば、外部メモリ領域のアクセス時にのみアドレス信号、リード信号、ライト信号がマイクロコンピュータ外部へ出力されるので、外部にメモリを拡張した場合の消費電力の増加が抑制され、不要な輻射を低減することが可能になる。

【図面の簡単な説明】

【図1】本発明に係るマイクロコンピュータの一実施例の構成を示すブロック図である。

【図2】本発明のマイクロコンピュータの動作時における外部アドレス信号、外部リード信号、外部ライト信号及び外部データ信号の状態を示すタイミングチャートである。

【図3】内部アドレス信号を外部アドレスとして出力す

る回路の他の構成例を示す回路図である。

【図4】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図5】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図6】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図7】従来のマイクロコンピュータの構成例を示すブロック図である。

【図8】従来のマイクロコンピュータの動作時における外部アドレス信号、外部リード信号、外部ライト信号及び外部データ信号の状態を示すタイミングチャートである。

【図9】従来及び本発明のデコード回路の具体的構成を*

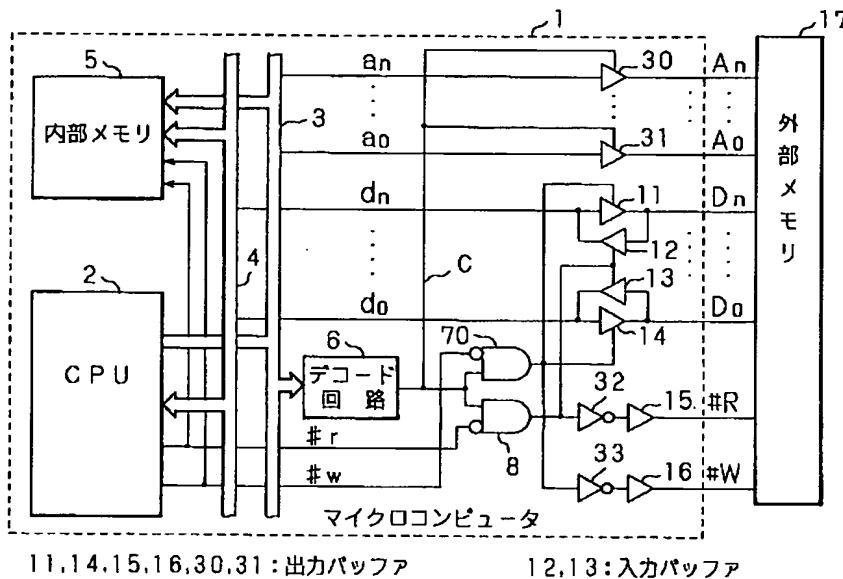
*示すブロック図である。

【図10】従来及び本発明のマイクロコンピュータがアクセス可能な全アドレス空間のメモリ配置を示す模式図である。

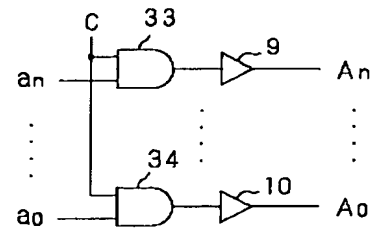
【符号の説明】

- | | |
|----|------------|
| 1 | マイクロコンピュータ |
| 6 | デコード回路 |
| 11 | 出力バッファ |
| 14 | 出力バッファ |
| 15 | 出力バッファ |
| 16 | 出力バッファ |
| 17 | 外部メモリ |
| 30 | 出力バッファ |
| 31 | 出力バッファ |

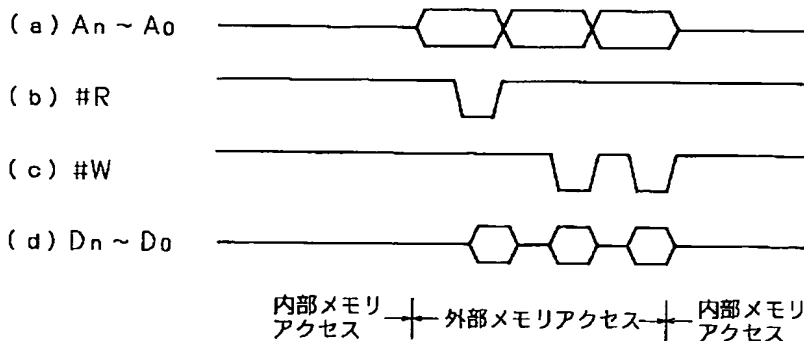
【図1】



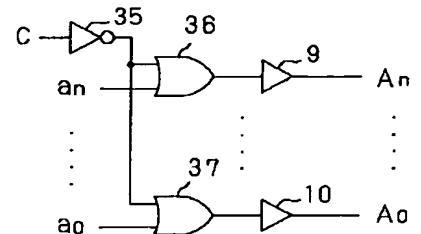
【図3】



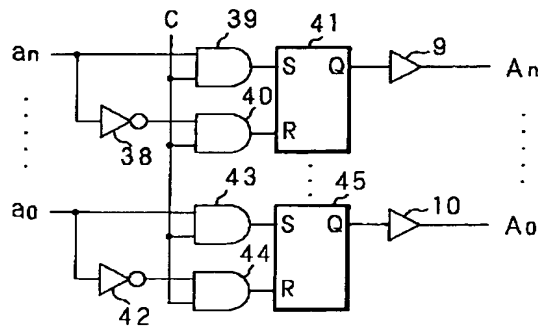
【図2】



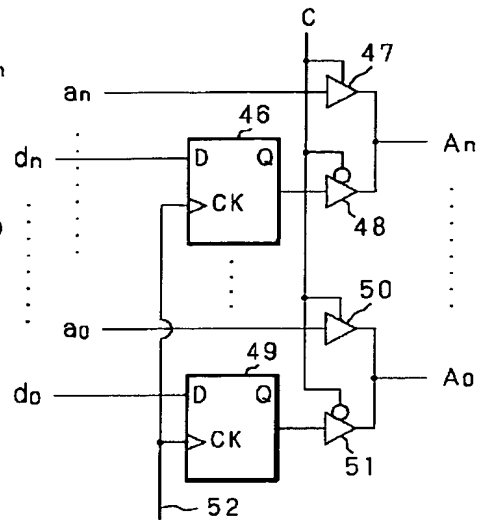
【図4】



【図5】

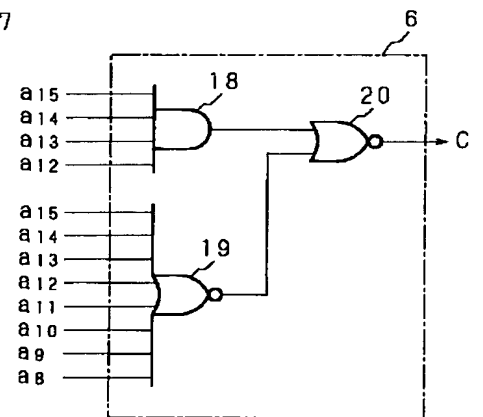
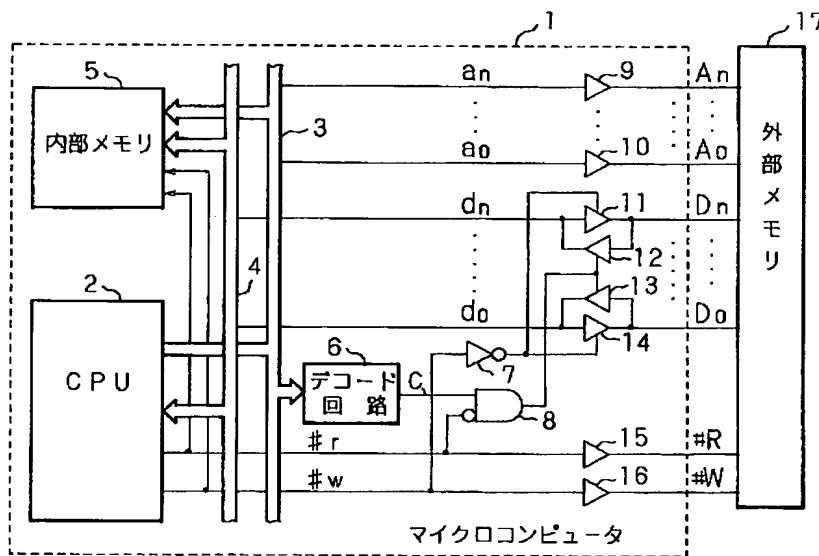


【図6】



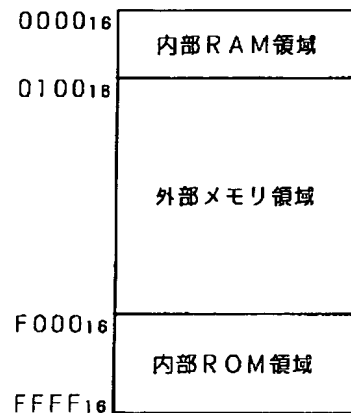
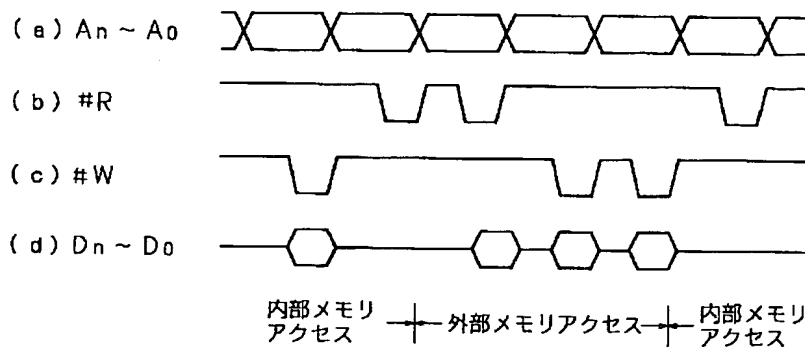
【図7】

【図9】



【図10】

【図8】



書誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平6-28245
(43)【公開日】平成6年(1994)2月4日
(54)【発明の名称】マイクロコンピュータ
(51)【国際特許分類第5版】

G06F 12/06 515 9366-5B
15/78 510 B 7323-5L

【審査請求】未請求

【請求項の数】1

【全頁数】8

(21)【出願番号】特願平4-180983

(22)【出願日】平成4年(1992)7月8日

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72)【発明者】

【氏名】竹内 稔

【住所又は居所】兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)【発明者】

【氏名】森見 洋一

【住所又は居所】兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(74)【代理人】

【弁理士】

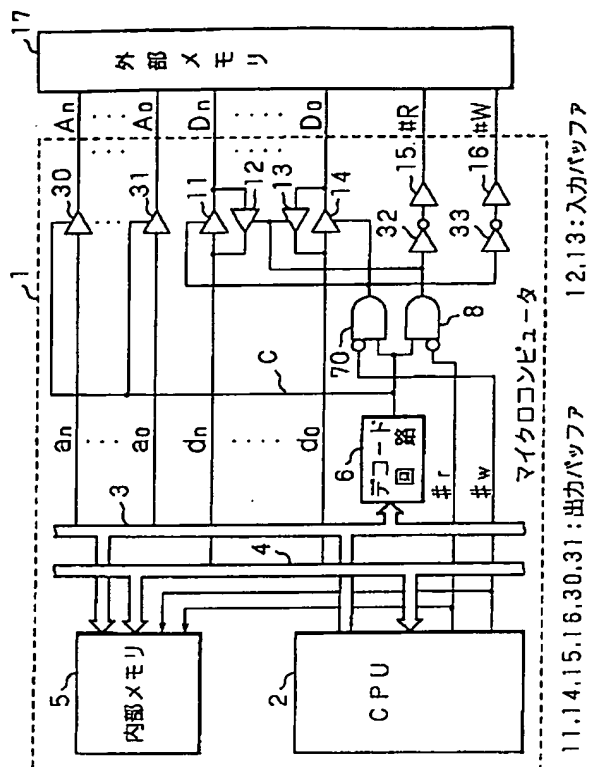
【氏名又は名称】高田 守

要約

(57)【要約】

【目的】メモリ拡張した場合の消費電力増加を抑制し、また不要輻射を低減出来るマイクロコンピュータの提供を目的とする。

【構成】CPUが発生する内部アドレス信号 $a_n \sim a_0$ が外部のアドレス空間(17)を指定しているか否かを検出するデコード回路6と、このデコード回路6により外部のアドレス空間(17)に対するアクセスが検出された場合にのみ内部アドレス信号 $a_n \sim a_0$ 、リード信号 $\#r$ 、ライト信号 $\#w$ をそれぞれ外部アドレス信号 $A_n \sim A_0$ 、外部リード信号 $\#R$ 、外部ライト信号 $\#W$ としてマイクロコンピュータ1外部へ出力する出力バッファ11、14等、15、16、30、31等を備えている。



請求の範囲

【特許請求の範囲】

【請求項1】 外部のアドレス空間をアクセスするためにアドレス信号、リード信号、ライト信号を外部へ出力する機能を有するマイクロコンピュータにおいて、発生されたアドレス信号が前記外部のアドレス空間を指定するアドレス信号である場合に所定の信号を出力する検出手段と、該検出手段が出力した前記所定の信号が与えられた場合にのみ、前記アドレス信号、リード信号、ライト信号をマイクロコンピュータ外部へ出力する手段とを備えたことを特徴とするマイクロコンピュータ。

詳細な説明

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロコンピュータに関し、特に所謂シングルチップマイクロコンピュータにおいてそのチップ外部にメモリ空間を拡張する際の接続の改善に関する。

【0002】

【従来の技術】単一の半導体基板上に中央処理装置(以下、CPUという)、ROM、RAM、入出力ポートなどの機能を集積したシングルチップマイクロコンピュータは既に一般に広く普及している。これらの中には、内蔵しているメモリのみではメモリ容量が不足する場合に入出力ポート等を通じて内部バスを外部に拡張する機能を有するものもある。

【0003】そのようなシングルチップマイクロコンピュータの一例として、三菱電機株式会社製のM50747-XXXSP/FP がある。このマイクロコンピュータのメモリ空間拡張の方法については同社発行の「M50747-XXXSP/FP ユーザーズマニュアル」に詳細に説明されている。

【0004】図7は上述の従来のマイクロコンピュータにおける外部メモリ拡張時の構成を示すブロック図である。

【0005】図7において、参照符号1はマイクロコンピュータを、17は外部メモリをそれぞれ示している。マイクロコンピュータ1内には、CPU2、内部メモリ5が備えられており、両者間はアドレスバス3及びデータバス4にて接続されている。

【0006】CPU2からは内部アドレス信号 $a_n \sim a_0$ がアドレスバス3へ出力される他、メモリからデータを読み出すためのリード信号 $\#r$ ($\#$ はローアクティブを示す)及びメモリにデータを書き込むためのライト信号 $\#w$ が出力される。リード信号 $\#r$ は内部メモリ5に与えられる他、2入力のAND回路8の負論理の入力端子及び出力バッファ15にも与えられている。また、ライト信号 $\#w$ は内部メモリ5に与えられる他、インバータ7及び出力バッファ16にも与えられている。

【0007】CPU2からアドレスバス3へ出力される内部アドレス信号 $a_n \sim a_0$ は内部メモリ5に与えられる他、デコード回路6にも与えられ、更に各ビットが出力バッファ9、10等を介してマイクロコンピュータ1外部へ出力される。なお、図7には内部アドレス信号 $a_n \sim a_0$ の外部出力用の出力バッファは内部アドレス信号 a_n 用の参照符号9と内部アドレス信号 a_0 用の参照符号10のみを示してある。

【0008】なお、これらの内部アドレス信号 $a_n \sim a_0$ が出力バッファ9、10等を介してマイクロコンピュータ1外部へ出力された場合には外部アドレス信号 $A_n \sim A_0$ として外部メモリ17に与えられる。また、デコード回路6の出力信号Cは前述の2入力のAND回路8の他方の入力に与えられている。

【0009】データバス4はCPU2と内部メモリ5とを接続していて相互間でデータを送受する他、各データ信号 $d_n \sim d_0$ が出力バッファ11、14等を介してマイクロコンピュータ1外部へ外部データ信号 $D_n \sim D_0$ として出力され、また外部データ信号 $D_n \sim D_0$ が入力バッファ12、13等を介してデータ信号 $d_n \sim d_0$ としてデータバス4に入力されるようになっている。但し、図7ではデータ信号 d_n を外部データ信号 D_n として出力する出力バッファ11と、データ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ14と、外部データ信号 D_n をデータ信号 d_n として入力する入力バッファ12と、外部データ信号 D_0 をデータ信号 d_0 として入力する入力バッファ13とのみが示されている。

【0010】各出力バッファ11、14等はインバータ7の出力信号により制御され、また各入力バッファ12、13等は2入力のAND回路8の出力信号により制御される。

【0011】図9は上述のデコード回路6の具体的構成を示すブロック図である。図9において、参照符号18は4入力AND回路を示しており、CPU2から出力される内部アドレス信号 $a_n \sim a_0$ (本実施例では $a_{15} \sim a_0$ の16ビット)の内の上位4ビット $a_{15} \sim a_{12}$ を入力とする。参照符号19は8入力NOR回路を示しており、同じく上位8ビット $a_{15} \sim a_8$ を入力とする。また、参照符号20は2入力NOR回路を示しており、4入力AND回路18の出力と8入力NOR回路19の出力とを入力とし、この出力信号が信号Cである。

【0012】図10は図7に示されている従来のマイクロコンピュータ1がアクセス可能な全アドレス空間のメモリ配置を示す模式図である。ここでは、内部RAMはアドレス $0000_{16} \sim 00FF_{16}$ ($_{16}$ は16進数を表す)の領域に、内部ROMはアドレス $F000_{16} \sim FFFF_{16}$ の領

域にそれぞれ割り当てられている。この内部RAM 領域と内部ROM 領域とを併せた領域が図7に示されている内部メモリ5の領域に相当している。なお、アドレス0100₁₆ ~ EFFF₁₆ は外部メモリ17の領域に割り当てられている。

【0013】次に、上述のような従来のマイクロコンピュータの動作について、特に外部アドレス信号A_n ~ A₀、外部リード信号#R、外部ライト信号#W及び外部データ信号D_n ~ D₀ の状態を示す図8のタイミングチャートを参照して説明する。

【0014】CPU2は特定のメモリをアクセスするために内部アドレス信号a_n ~ a₀ をアドレスバス3へ出力する。この内部アドレス信号a_n ~ a₀ はアドレスバス3を介して内部メモリ5に与えられると共に、出力バッファ9及び10等を介してマイクロコンピュータ1外部へ外部アドレスA_n ~ A₀ として、図8(a) に示されているように、出力されて外部メモリ17に与えられ、またデコード回路6に与えられてデコードされることによりCPU2が指定したアドレスのメモリが選択される。

【0015】まず、内部メモリ5が選択された場合について説明する。たとえば、内部メモリ5の図10に示されている内部RAM のアドレス0000₁₆を読み出す場合には対応する内部アドレス信号a_n ~ a₀ がCPU2からアドレスバス3へ出力され、デコード回路6及び内部メモリ5に与えられる【0016】デコード回路6はこの内部アドレス信号a_n ~ a₀ をデコードするが、この場合にはその出力信号Cは"0"になる。この信号Cが2入力 AND回路8に入力される。信号Cが"0"であるので、2入力 AND回路8の出力は"0"になる。

従って、この2入力 AND回路8の出力により制御される入力バッファ12及び13は非動作状態になり、外部メモリ17からマイクロコンピュータ1へのデータ入力は禁じられる。【0017】続いてCPU2からリード信号#rが出力されるとこれが内部メモリ5に与えられるので、内部メモリ5の内部RAM の番地0000₁₆のデータがデータバス4へ出力され、

CPU2はデータバス4の内容を読み込む。この際同時に、リード信号#rは出力バッファ15を介して外部リード信号#Rとして、図8(b) に示されているように、外部メモリ17へ出力される。しかしこの場合、外部メモリ17に与えられている外部アドレス信号A_n ~ A₀ に対応するアドレスが外部メモリ17にはないので、図8(d) に示されているように、外部メモリ17から外部データ信号D_n ~ D₀ が出力されることはない。

【0018】CPU2が内部メモリ5にデータを書込む場合は、当該データをデータバス4へ出力し、ライト信号#wを出力することにより、内部RAM の番地0000₁₆にデータが書き込まれる。同時に、ライト信号#wは出力バッファ16を介して外部ライト信号#Wとして、図8(c) に示されているように、外部メモリ17へ出力される。また、データバス4へCPU2から出力されているデータの値は出力バッファ11,14等を通じて外部データ信号D_n ~ D₀ として、図8(d) に示されているように、マイクロコンピュータ1外部へ出力される。しかし、外部メモリ17には対応するアドレスがないので、外部メモリ17にこれらの外部データ信号D_n ~ D₀ データが書き込まれることはない。

【0019】次に、外部メモリ17が選択された場合について説明する。たとえば図10に示されている外部メモリのアドレス0100₁₆が指定された場合、対応する内部アドレス信号a_n ~ a₀ がCPU2からアドレスバス3へ出力される。この場合、デコード回路6の出力信号Cは"1"になる。

【0020】そして、CPU2がデータを書込む場合、CPU2からデータをデータバス4へ出力すると共にライト信号#wに"0"を出力すると、2入力の AND回路8の出力信号は"1"になるので、出力バッファ11及び14が動作状態になる。またライト信号#wは出力バッファ16を介して外部ライト信号#Wとして、図8(c) に示されているように、外部メモリ17へ出力される。これと同時に、前述のように出力バッファ11及び14が動作状態になるので、データバス4の内容が出力バッファ11及び14を介して、図8(d) に示されているように、外部データ信号 $D_n \sim D_0$ として外部メモリ17へ出力される。これにより、外部メモリ17のアドレス0100₁₆にデータが書き込まれる。

【0021】CPU2がデータを読み込む場合は、CPU2からリード信号#rに"0"を出力すると、これが出力バッファ15を介して外部リード信号#Rとして、図8(b) に示されているように、外部メモリ17へ出力される。これと同時に、ライト信号#wが2入力AND回路8に入力されるのでその出力は"1"になる。これにより、入力バッファ12及び13が動作状態になるので、外部メモリ17のアドレス0100₁₆のデータが図8(d) に示されているように、外部データ信号 $D_n \sim D_0$ として外部メモリ17から出力される。この外部データ信号 $d_n \sim d_0$ $D_n \sim D_0$ は入力バッファ12及び13を介してデータバス4へ入力されるので、CPU2はデータバス4を介してこのデータを読み込む。

【0022】

【発明が解決しようとする課題】従来のマイクロコンピュータは以上のように構成されているので、マイクロコンピュータ内部のアドレス信号、リード信号、ライト信号がそのまま外部へ出力されており、マイクロコンピュータの内部メモリアクセス時にもアドレス信号、リード信号、ライト信号がマイクロコンピュータ外部へ出力されるため、出力時の充放電により消費電力が増加し、また外部メモリでは使用しないタイミングの信号が出力されるため、不要輻射が多くなるなどの問題がある。

【0023】本発明はこのような事情に鑑みてなされたものであり、メモリ拡張した場合の消費電力増加を抑制し、また不要輻射を低減出来るマイクロコンピュータの提供を目的とする。

【0024】

【課題を解決するための手段】本発明に係るマイクロコンピュータは、CPUが発生するアドレス信号が外部のアドレス空間であるか否かを検出する手段と、この手段により外部のアドレス空間に対するアクセスが検出された場合にのみアドレス信号、リード信号、ライト信号をそれぞれ外部アドレス信号、外部リード信号、外部ライト信号としてマイクロコンピュータ外部へ出力する手段を備えている。

【0025】

【作用】本発明のマイクロコンピュータでは、アドレス信号が外部に拡張されたアドレス空間をアクセスする場合にのみ、アドレス信号、リード信号、ライト信号が外部へ出力され、それ以外の場合には外部へは出力されない。

【0026】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0027】図1は本発明に係るマイクロコンピュータの一実施例の構成を示すブロック図である。なお、この図1においては、前述の従来例の説明で参照した図7と同一の参照符号は同一又は相当部分を示している。

【0028】図1において、参照符号1はマイクロコンピュータを、17は外部メモリをそれぞれ示している。マイクロコンピュータ1内には、CPU2、内部メモリ5が備えられており、両者間はアドレスバス3及びデータバス4にて接続されている。

【0029】CPU2からは内部アドレス信号 $a_n \sim a_0$ がアドレスバス3へ出力される他、メモリからデータを読み出すためのリード信号 $\#r$ ($\#$ はローアクティブを示す)及びメモリにデータを書き込むためのライト信号 $\#w$ が出力される。リード信号 $\#r$ は内部メモリ5に与えられる他、2入力のAND回路8の負論理の入力端子にも与えられている。また、ライト信号 $\#w$ は内部メモリ5に与えられる他、2入力のAND回路70の負論理の入力端子にも与えられている。

【0030】CPU2からアドレスバス3へ出力される内部アドレス信号 $a_n \sim a_0$ は内部メモリ5に与えられる他、デコード回路6にも与えられ、更に各ビットが出力バッファ30, 31等を介してマイクロコンピュータ1外部へ出力される。なお、図1には内部アドレス信号 $a_n \sim a_0$ の外部出力用の出力バッファは内部アドレス信号 a_n 用の参照符号30と内部アドレス信号 a_0 用の参照符号31のみを示してある。

【0031】なお、これらの内部アドレス信号 $a_n \sim a_0$ が出力バッファ30, 31等を介してマイクロコンピュータ1外部へ出力された場合には外部アドレス信号 $A_n \sim A_0$ として外部メモリ17に与えられる。また、デコード回路6の出力信号Cは前述の2入力のAND回路8及び70の他方の入力に与えられると共に、上述の出力バッファ30, 31等にも与えられてこれらを制御する。

【0032】データバス4はCPU2と内部メモリ5とを接続していて相互間でデータを送受する他、各データ信号 $d_n \sim d_0$ が出力バッファ11, 14等を介してマイクロコンピュータ1外部へ外部データ信号 $D_n \sim D_0$ として出力され、また外部データ信号 $D_n \sim D_0$ が入力バッファ12, 13等を介してデータ信号 $d_n \sim d_0$ としてデータバス4に入力されるようになっている。但し、図7ではデータ信号 d_n を外部データ信号 D_n として出力する出力バッファ11と、データ信号 d_0 を外部データ信号 D_0 として出力する出力バッファ14と、外部データ信号 D_n をデータ信号 d_n として入力する入力バッファ12と、外部データ信号 D_0 をデータ信号 d_0 として入力する入力バッファ13とのみが示されている。

【0033】各出力バッファ11, 14等は2入力のAND回路70の出力信号により制御される。また各入力バッファ12, 13等は2入力のAND回路8の出力信号により制御される。

【0034】また、2入力のAND回路8の出力信号はインバータ32の入力にも与えられており、このインバータ32の出力が出力バッファ15を介して外部リード信号 $\#R$ として外部メモリ17に与えられ、更に2入力のAND回路70の出力信号はインバータ33の入力にも与えられており、このインバータ33の出力が出力バッファ16を介して外部ライト信号 $\#W$ として外部メモリ17に与えられている。

【0035】なお、本発明のマイクロコンピュータ1のデコード回路6の構成は前述の従来のマイクロコンピュータと同様であり、図9に示されているように構成されている。また、本発明のマイクロコンピュータ1がアクセス可能な全アドレス空間のメモリ配置は、図10の模式図に示されている前述の従来のマイクロコンピュータと同様であるので、説明は省略する。

【0036】次に、上述のような構成の本発明のマイクロコンピュータの動作について、特に外部アドレス信号 $A_n \sim A_0$ 、外部リード信号 $\#R$ 、外部ライト信号 $\#W$ 及び外部データ信号 $D_n \sim D_0$ の状態を示す図2のタイミングチャートを参照して説明する。

【0037】CPU2は特定のメモリをアクセスするために内部アドレス信号 $a_n \sim a_0$ をアドレスバス3へ出力する。この内部アドレス信号 $a_n \sim a_0$ はアドレスバス3を介して内部メモリ5に与えられていると共に、出力バッファ30, 31等及びデコード回路6へ出力される。

【0038】まず、内部メモリ5が選択された場合について説明する。たとえば、内部メモリ5の中の図10に示されている内部RAMの番地0000₁₆を指定する内部アドレス信号 $a_n \sim a_0$ がCPU2から出力されると、図9に示されているデコード回路6の8入力 NOR回路19の出力が"1"に、2入力 NOR回路20の出力は"0"にそれぞれなるので、デコード回路6の出力信号Cは"0"になる。

【0039】このデコード回路6の出力信号Cは出力バッファ30, 31等と2入力 AND回路8, 70に入力される。信号Cにより制御される出力バッファ30, 31等は信号Cが"0"であるため非動作状態になり、出力バッファ30, 31等の出力はハイインピーダンス状態になる。また同時に、2入力 AND回路8, 70の出力は他方の入力である内部リード信号#r及び内部ライト信号#wには拘わらず"0"になり、2入力 AND回路8, 70の出力により制御される入力バッファ12, 13等及び出力バッファ11, 14等も全て非動作状態になるので、データバス4と外部メモリ17とは分離される。

【0040】更に、2入力 AND回路70の出力はインバータ回路33にも入力されていて、インバータ回路33の出力は"1"になるので、出力バッファ16から出力される外部ライト信号#Wは"1"になって外部メモリ17に与えられる。一方、2入力 AND回路8の出力はインバータ回路32にも入力されていて、インバータ回路32の出力は"1"になるので、出力バッファ15から出力される外部ライト信号#Wは"1"になって外部メモリ17に与えられる。

【0041】CPU2が内部メモリ5にデータを書込む場合は、データをデータバス4へ出力すると共に、ライト信号#wを"0"にすることにより、内部RAMのアドレス0000₁₆にデータが書き込まれる。CPU2がデータを読み込む場合は、リード信号#rを"0"にすると、内部RAMのアドレス0000₁₆のデータがデータバス4へ出力されるので、CPU2はデータバス4の内容を読み取る。

【0042】次に、外部メモリ17が選択された場合について説明する。たとえば、図10に示されている外部メモリのアドレス0100₁₆が指定されたとすると、図9に示されているデコード回路6の4入力 AND回路18の出力は"0"に、8入力 NOR回路19の出力も"0"にそれぞれなるので、2入力 NOR回路20の出力は"1"に、即ちデコード回路6の出力信号Cは"1"になる。このデコード回路6の出力信号Cは出力バッファ30, 31等と2入力 AND回路8, 70に与えられているので、信号Cにより制御される出力バッファ30, 31等は動作状態になる。これにより、CPU2からアドレスバス3へ出力されている内部アドレス信号 $a_n \sim a_0$ は出力バッファ30, 31等を介して外部アドレス $A_n \sim A_0$ としてマイクロコンピュータ1外へ出力され、外部メモリ17に与えられる。

【0043】また、2入力 AND回路8, 70はいずれも他方の入力である内部リード信号#rと内部ライト信号#wの反転信号を出力する状態になる。

【0044】CPU2がデータを外部メモリ17に書込む場合、CPU2からデータをデータバス4へ出力すると共に、ライト信号#wに"0"を出力すると、2入力 AND回路70の出力は"1"になるので出力バッファ11, 14等が動作状態になる。これにより、データバス4の内容が出力バッファ11, 14等を介して外部データ信号 $D_n \sim D_0$ として外部メモリ17へ出力され、同時に2入力 AND回路70の出力はインバータ回路33と出力バッファ16とを介して

外部ライト信号#Wとして"0"を出力するでの、外部メモリ17のアドレス0100₁₆にデータが書き込まれる。

【0045】CPU2が外部メモリ17からデータを読み込む場合、CPU2からリード信号#rに"0"を出力すると、2入力 AND回路8の出力が"1"になるので入力バッファ12,13等が動作状態になる。同時に2入力 AND回路8の出力はインバータ回路32と出力バッファ15とを介して外部リード信号#Rとして"0"を出力するので、外部メモリ17のアドレス0100₁₆のデータが外部データ信号D_n～D₀として外部メモリ17から出力され、入力バッファ12,13等を介してデータバス4へ入力される。CPU2はこのデータバス4の内容を読み込む。

【0046】但し、図1において、アドレスバス3へ出力される内部アドレス信号a_n～a₀をデコード回路6でデコードして得られた信号Cに基づいて内部アドレス信号a_n～a₀を外部アドレス信号A_n～A₀として出力するか否か制御するための出力バッファ30,31等の伝播遅延時間はデコード回路6の遅延時間より大きくすることが望ましい。

【0047】図2はこの際の外部アドレス信号A_n～A₀、外部リード信号#R、外部ライト信号#W、外部データバスD_n～D₀の状態を示すタイミングチャートである。図2において、内部メモリアクセス時には、CPU2は従来例の図8に示されているのと同じの動作を行っているが、外部に対しては信号を出力していないことが判る。

【0048】図3は内部アドレス信号a_n～a₀を外部アドレスA_n～A₀として出力回路の他の構成例を示す回路図である。なお、ここでも上述の図1に示されている実施例と同様に、内部アドレス信号a_n及びa₀用の回路のみを示してある。図3において、参照符号33,34等はデコード回路6の出力信号Cと内部アドレス信号a_n～a₀の各ビットとを入力とする2入力 AND回路を、9,10等は図7に示されている従来のマイクロコンピュータに使用されているのと同様の出力バッファであり、2入力 AND回路33,34等の出力をそれぞれ入力とする。

【0049】この図3に示されている回路では、デコード回路6の出力信号Cが"0"である場合、即ち内部メモリ5のアクセス時には、2入力 AND回路33,34等の出力は"0"になり、出力バッファ9,10等の出力及び外部アドレスA_n～A₀は全て"0"になる。デコード回路6の出力信号Cが"1"である場合、即ち外部メモリ17のアクセス時には、内部アドレスa_n～a₀がそのまま2入力 AND回路33,34等と出力バッファ9,10等とを介して外部アドレスA_n～A₀として出力される。

【0050】図4は内部アドレス信号a_n～a₀を外部アドレスA_n～A₀として出力回路の更に他の構成例を示す回路図である。なお、ここでも上述の図1及び図3に示されている実施例と同様に、内部アドレス信号a_n及びa₀用の回路のみを示してある。

【0051】図4において、参照符号35はデコード回路6の出力信号Cを入力とするインバータ回路を、36,37等はインバータ回路35の出力と内部アドレスa_n～a₀の各ビットとを入力とする2入力OR回路を、9,10等は図7に示されている従来のマイクロコンピュータに使用されているのと同様の出力バッファであり、2入力OR回路36,37等の出力をそれぞれ入力とする。

【0052】この図4に示されている回路では、デコード回路6の出力信号Cが"0"である

場合、即ち内部メモリ5のアクセス時には、インバータ回路35の出力は"1"になる。このため、インバータ回路35の出力を入力としている2入力 NOR回路36, 37等の出力は他方の入力である内部アドレス $a_n \sim a_0$ の各ビットの値には拘わらず全て"1"になるので、出力バッファ9, 10等の出力である外部アドレス $A_n \sim A_0$ は全て"1"になる。

【0053】デコード回路6の出力信号Cが"1"である場合、即ち外部メモリ17のアクセス時には、インバータ回路35の出力は"0"になって NOR回路36, 37等に入力される。従って、NOR回路36, 37等からは内部アドレス $a_n \sim a_0$ がそのまま出力されて出力バッファ9, 10等を介して外部アドレス $A_n \sim A_0$ として出力される。

【0054】図5は内部アドレス信号 $a_n \sim a_0$ を外部アドレス $A_n \sim A_0$ として出力回路の更に他の構成例を示す回路図である。なお、ここでも上述の図1, 図3及び図4に示されている実施例と同様に、内部アドレス信号 a_n 及び a_0 用の回路のみを示してある。

【0055】図5において、参照符号38, 42等は内部アドレス $a_n \sim a_0$ の各ビットを入力とするインバータ回路を、39はデコード回路6の出力信号Cと内部アドレス a_n を入力とする2入力 AND回路を、40はデコード回路6の出力信号Cとインバータ回路38の出力を入力とする2入力 AND回路を、41は2入力 AND回路39の出力でセットされ、2入力 AND回路40の出力でリセットされるRSフリップフロップをそれぞれ示している。また、43はデコード回路6の出力信号Cと内部アドレス a_0 を入力とする2入力 AND回路を、44はデコード回路6の出力信号Cとインバータ回路42の出力を入力とする2入力 AND回路を、45は2入力 AND回路43の出力でセットされ、2入力 AND回路44の出力でリセットされるRSフリップフロップをそれぞれ示している。9, 10等は図7に示されている従来のマイクロコンピュータに使用されているのと同様の出力バッファであり、RSフリップフロップ41, 45等の出力端子Qからの出力をそれぞれ入力とする。

【0056】このような図5に示されている回路では、デコード回路6の出力信号Cが"0"である場合、即ち内部メモリ5のアクセス時には、出力信号Cを入力としている AND回路39, 40, 43, 44の各出力は他方の入力には拘わらず"0"になる。またRSフリップフロップ41, 45等のセット入力及びリセット入力は全て"0"になっているため、RSフリップフロップ41, 45等はそれ以前の状態を保持し、この保持されている値が出力バッファ9, 10等を介してそのまま外部アドレス $A_n \sim A_0$ として出力される。

【0057】デコード回路6の出力信号Cが"1"である場合、即ち外部メモリ17のアクセス時には、2入力 AND回路39, 40, 43, 44の出力は他方の入力により決定される。2入力 AND回路39の出力は a_n に、2入力 AND回路40の出力は $\#a_n$ となり、RSフリップフロップ41のQ出力は a_n が出力される。

【0058】2入力 AND回路43の出力は a_0 に、2入力 AND回路44の出力は $\#a_0$ になり、RSフリップフロップ45のQ出力は a_0 が出力され、出力バッファ9, 10等を介して外部アドレス $A_n \sim A_0$ として出力される。

【0059】図6は内部アドレス信号 $a_n \sim a_0$ を外部アドレス $A_n \sim A_0$ として出力回路の他の構成例を示す回路図である。なお、ここでも上述の図1, 図3, 図4及び図5に示されている実施例と同様に、内部アドレス信号 a_n 及び a_0 用の回路のみを示してある。

【0060】図6において、参照符号47, 48, 50, 51等はデコード回路6の出力信号Cで制

御される出力バッファを、46, 49等は出力データ記憶回路(D-フリップフロップ)をそれぞれ示している。出力データ記憶回路は、出力バッファ書込み信号52に従ってCPU2から出力される書込みデータをラッチする。

【0061】デコード回路6の出力信号Cが"0"である場合、即ち内部メモリ5のアクセス時には、出力信号Cで制御される出力バッファ47, 50等は非動作状態になり、出力バッファ48, 51等は動作状態になるので、出力データ記憶回路46, 49等の内容が外部アドレス $A_n \sim A_0$ に出力される。このため、内部メモリ5をアクセスしている場合は、外部アドレスを出力している端子を他の機能を有する端子として有効に利用することが可能になる。

【0062】デコード回路6の出力信号Cが"1"である場合、即ち外部メモリ17のアクセス時には、出力信号Cで制御される出力バッファ47, 50等は動作状態になり、出力バッファ48, 51等は非動作状態になる。出力バッファ47, 50等が動作状態になっているため、外部アドレス $A_n \sim A_0$ には内部アドレス $a_n \sim a_0$ がそのまま出力される。

【0063】

【発明の効果】以上に詳述したように本発明のマイクロコンピュータによれば、外部メモリ領域のアクセス時にのみアドレス信号、リード信号、ライト信号がマイクロコンピュータ外部へ出力されるるので、外部にメモリを拡張した場合の消費電力の増加が抑制され、不要な輻射を低減することが可能になる。

図の説明

【図面の簡単な説明】

【図1】本発明に係るマイクロコンピュータの一実施例の構成を示すブロック図である。

【図2】本発明のマイクロコンピュータの動作時における外部アドレス信号、外部リード信号、外部ライト信号及び外部データ信号の状態を示すタイミングチャートである。

【図3】内部アドレス信号を外部アドレスとして出力する回路の他の構成例を示す回路図である。

【図4】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図5】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図6】内部アドレス信号を外部アドレスとして出力する回路の更に他の構成例を示す回路図である。

【図7】従来のマイクロコンピュータの構成例を示すブロック図である。

【図8】従来のマイクロコンピュータの動作時における外部アドレス信号、外部リード信号、外部ライト信号及び外部データ信号の状態を示すタイミングチャートである。

【図9】従来及び本発明のデコード回路の具体的構成を示すブロック図である。

【図10】従来及び本発明のマイクロコンピュータがアクセス可能な全アドレス空間のメモリ配置を示す模式図である。

【符号の説明】

1 マイクロコンピュータ

6 デコード回路

11 出力バッファ

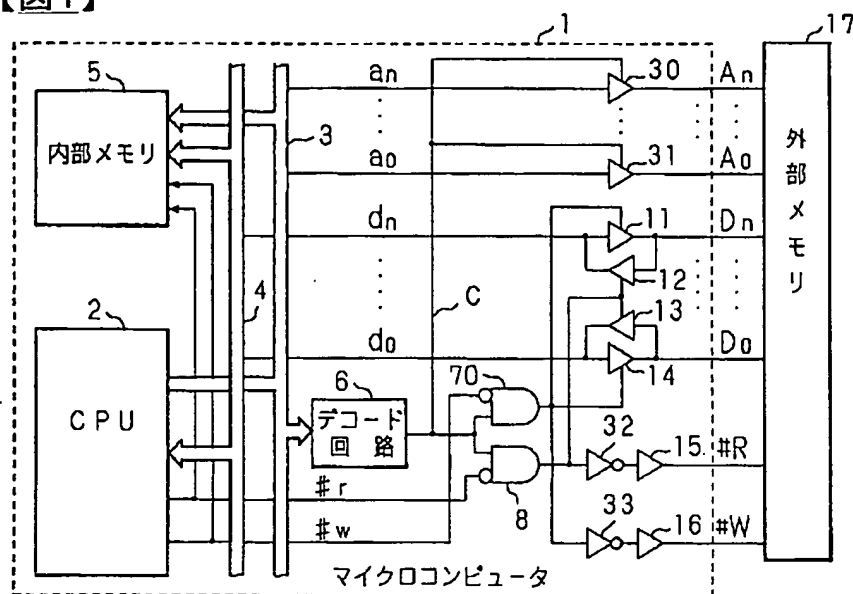
14 出力バッファ

15 出力バッファ

16 出力バッファ
17 外部メモリ
30 出力バッファ
31 出力バッファ

図面

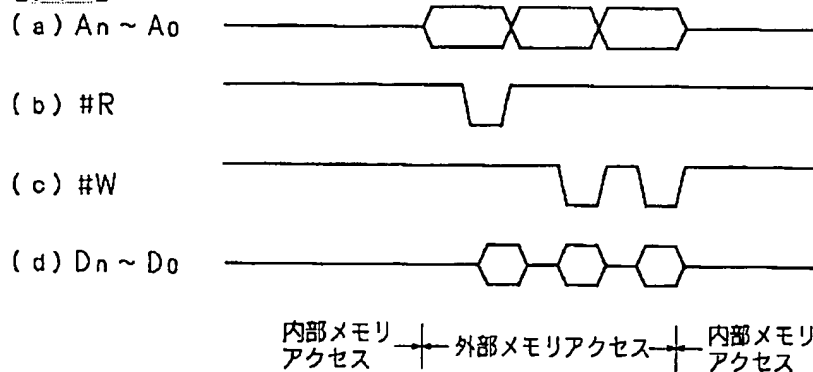
【図1】



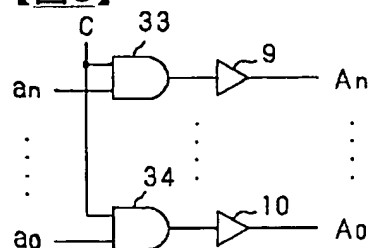
11, 14, 15, 16, 30, 31 : 出力バッファ

12, 13 : 入力バッファ

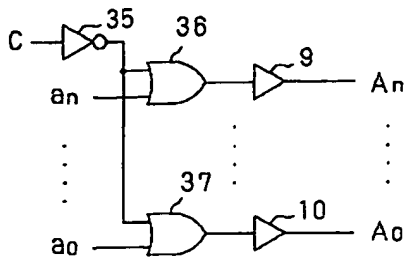
【図2】



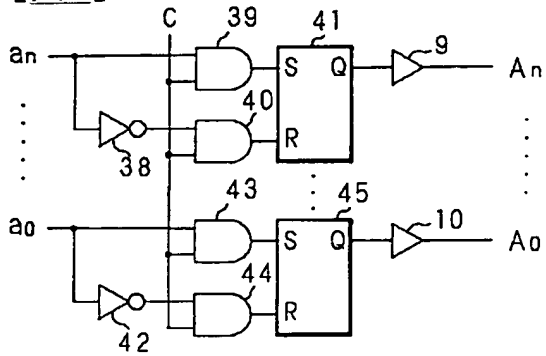
【図3】



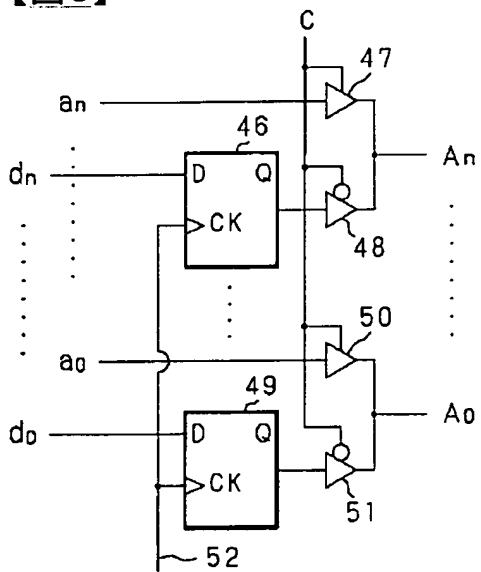
【図4】



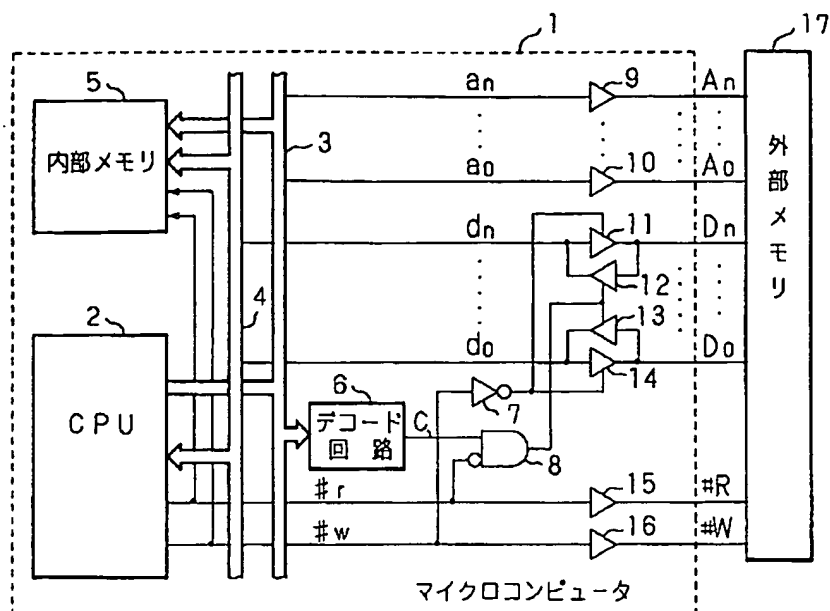
【図5】



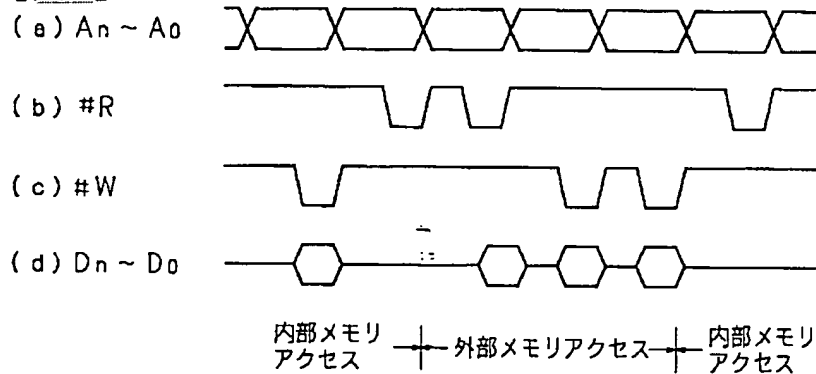
【図6】



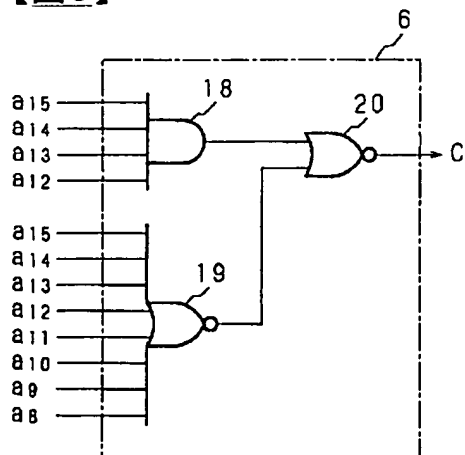
【図7】



【図8】



【図9】



【図10】

